

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-291823

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

H01L 25/07

H01L 25/18

H01L 23/28

(21)Application number : 2000-103304

(71)Applicant : TOSHIBA DIGITAL MEDIA ENGINEERING
CORP

TOSHIBA CORP.

(22)Date of filing : 05.04.2000

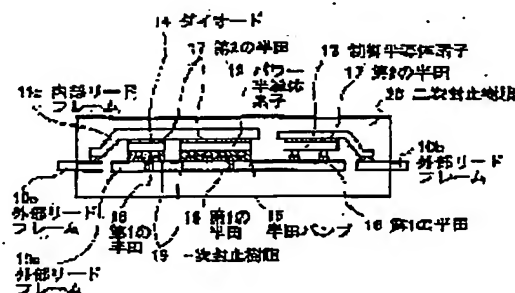
(72)Inventor : HORI TETSUJI
TSUDA TATSUYA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device wherein manufacturing process is shortened and a device can be miniaturized.

SOLUTION: This semiconductor device is provided with outer lead frames 10a, 10b, 10c having a plurality of first, second and third leads, a power semiconductor element 12 and a control semiconductor element 13 wherein electrodes on one surfaces are connected directly with the first leads, a first inner lead frame 11 a which connects directly an electrode formed on the other surface of the power semiconductor element 12 with one lead in the third leads 10c, and a second inner lead frame 11 b which connects directly an electrode formed on the other surface of the control semiconductor element 13 with other one lead in the third leads 10c.



LEGAL STATUS

[Date of request for examination]

15.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-291823

(P2001-291823A)

(43) 公開日 平成13年10月19日 (2001.10.19)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 25/07

H 0 1 L 23/28

B 4 M 1 0 9

25/18

25/04

C

23/28

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2000-103304(P2000-103304)

(22) 出願日 平成12年4月5日 (2000.4.5)

(71) 出願人 390010308

東芝デジタルメディアエンジニアリング株式会社

東京都青梅市新町8丁目3番地の1

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 堀 哲二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100083161

弁理士 外川 英明

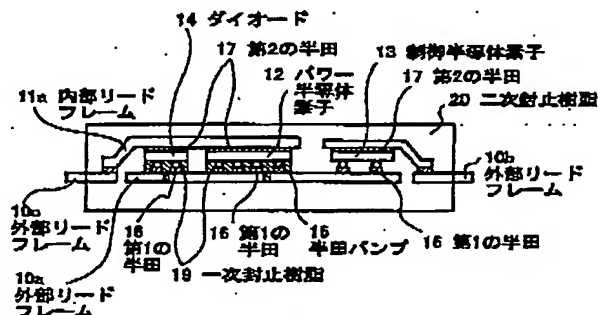
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 製造工程を短縮化するとともに、装置の小型化を図ることのできる半導体装置を提供することを目的とする。

【解決手段】 複数の第1、2、3リードを有する外部リードフレーム10a、10b、10cと、第1リードに一方の面の電極がそれぞれ直接接続されたパワー半導体素子12及び制御半導体素子13と、パワー半導体素子12の他面に形成された電極と第3リード10cの内の1つのリードとを直接接続する第1の内部リードフレーム11aと、制御半導体素子13の他面に形成された電極と第3リード10bの内の他の1つのリードとを直接接続する第2の内部リードフレーム11bとを有する。



【特許請求の範囲】

【請求項1】 複数の第1、2及び第3リードを有する外部リードフレームと、前記複数の第1リードに、一方の面に形成された複数の電極がそれぞれ直接接続されたパワー半導体素子と、前記複数の第2リードに、一方の面に形成された複数の電極がそれぞれ直接接続された前記パワー半導体素子を制御する制御半導体素子と、前記パワー半導体素子の他面に形成された電極と前記複数の第3リードの内の1つのリードとを直接接続する第1の内部リードフレームと、前記制御半導体素子の他面に形成された電極と前記複数の第3リードの内の他の1つのリードとを直接接続する第2の内部リードフレームと、前記パワー半導体素子、前記制御半導体素子、前記内部リードフレーム及び前記外部リードフレームの前記リードをモールドする封止樹脂とを有することを特徴とする半導体装置。

【請求項2】 前記パワー半導体素子の一方の面と、前記外部リードフレームとの間の半田接続部近傍に、前記外部リードフレームよりも熱膨張係数の小さい樹脂が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記樹脂は、熱膨張係数が前記外部リードフレームよりも熱膨張係数の小さく、熱伝導率が $2\text{W}/\text{m}\cdot\text{K}$ 以上であることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記パワー半導体素子と前記外部リードフレームとは、前記パワー半導体素子の電極上に形成された半田と、外部リードフレーム上に形成された半田と、これらの半田の間に形成され、 Si に熱膨張係数が近似する応力緩和材とにより接続されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 複数の第1、2及び第3リードを有する外部リードフレームと、前記複数の第1リードに、一方の面に形成された複数の電極がそれぞれ直接接続された第1及び第2のパワー半導体素子と、前記複数の第2リードに、一方の面に形成された複数の電極がそれぞれ直接接続された前記第1及び第2のパワー半導体素子を制御する制御半導体素子と、前記第1のパワー半導体素子の他面に形成された電極と前記複数の第3リードの内の1つのリードとを直接接続する第1の内部リードフレームと、前記第2のパワー半導体素子の他面に形成された電極と前記複数の第3リードの内の他の1つのリードとを直接接続する第2の内部リードフレームと、前記パワー半導体素子、前記制御半導体素子、前記内部リードフレーム及び前記外部リードフレームの前記リードをモールドする封止樹脂とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関

し、特にパワー半導体素子と、そのパワー半導体素子を制御する制御半導体素子とをモールド樹脂で封止したインテリジェントパワーモジュールに関する。

【0002】

【従来の技術】 最近のパワーモジュールは、インバータに代表されるように、パワー半導体素子とそのパワー半導体素子を制御する制御半導体素子とを組み合わせ、インテリジェントパワーモジュール化への傾向がある。図6は、その従来の半導体装置（インテリジェントパワーモジュール）の断面図である。この半導体装置では、リードフレーム1上に複数のパワー半導体素子2及び制御半導体素子3が実装されている。また、リードフレーム1はそれぞれ分離された複数のリードを有しており、パワー半導体素子2及び制御半導体素子3のそれぞれの電極がこれら複数のリードに接続される。パワー半導体素子2とリードフレーム1、及びリードフレーム1の所定のリード間は、アルミニウム（Al）ワイヤー5により電気的に接続され、制御半導体素子3とリードフレーム1間は金（Au）ワイヤー6により電気的に接続される。そして、パワー半導体素子2及び制御半導体素子3を含め、これらの素子が実装された半導体装置全体を覆うように封止樹脂7が形成されている。図7に、従来の半導体装置の製造工程を示す。まず、図7（a）に示すように、リードフレーム1上にパワー半導体素子2及び制御半導体素子3が半田等により実装される。続いて、図7（b）に示すように、パワー半導体素子2とリードフレーム1間、及びリードフレーム1上の所定のリード間を、Alワイヤー5を用いてワイヤーボンディング接続法により電気的接続を行う。次に、制御半導体素子3とリードフレーム1間をAuワイヤー6を用いてAl同様、ワイヤーボンディング接続法により電気的接続を行い（図7（c））、そして、装置全体を覆うように封止樹脂7にて成形することにより図6に示すような半導体装置になる。

【0003】

【発明が解決しようとする課題】 以上のような半導体装置には次のような問題があった。すなわち、従来の半導体装置では、半導体素子をリードフレーム1上に実装した後、半導体素子とリードフレーム1及びリードフレーム1上の所定のリード間を、ワイヤーにより接続する必要がある。特に、インテリジェントパワーモジュールでは、パワー半導体素子2とリードフレーム1間、及びリードフレーム1上の所定のリード間の電気的接続にはAlワイヤー5が用いられ、制御半導体素子3とリードフレーム1間の電気的接続にはAuワイヤー6が用いられるなど別々の材料によりワイヤーボンディングを行う必要があった。これにより、組み立て工数がかかり製品のインデックスアップを阻害していた。また、リードフレーム1上には、ボンディングワイヤー接続用のボンドエリアを設ける必要があり、半導体装置全体の小型化を阻

3

害する要因の一つとなっていた。本発明は上記問題点に鑑みてなされたもので、その目的は、製造工程の短縮化および装置の小型化を図ることのできる半導体装置を提供するものである。

【0004】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、複数の第1、2及び第3リードを有する外部リードフレームと、前記複数の第1リードに、一方の面に形成された複数の電極がそれぞれ直接接続されたパワー半導体素子と、前記複数の第2リードに、一方の面に形成された複数の電極がそれぞれ直接接続された前記パワー半導体素子を制御する制御半導体素子と、前記パワー半導体素子の他面に形成された電極と前記複数の第3リードの内の1つのリードとを直接接続する第1の内部リードフレームと、前記制御半導体素子の他面に形成された電極と前記複数の第3リードの内の他の1つのリードとを直接接続する第2の内部リードフレームと、前記パワー半導体素子、前記制御半導体素子、前記内部リードフレーム及び前記外部リードフレームの前記リードをモールドする封止樹脂とを有することを特徴とする。また、前記パワー半導体素子の一方の面と、前記外部リードフレームとの間の半田接続部近傍に、前記外部リードフレームよりも熱膨張係数の小さい樹脂が形成されていることを特徴とする。さらに、前記樹脂は、熱膨張係数が前記外部リードフレームよりも熱膨張係数の小さく、熱伝導率が $2\text{W}/\text{m}\cdot\text{K}$ 以上であることを特徴とする。

【0005】さらに、前記パワー半導体素子と前記外部リードフレームとは、前記パワー半導体素子の電極上に形成された半田と、外部リードフレーム上に形成された半田と、これらの半田の間に形成され、 Si に熱膨張係数が近似する応力緩和材とにより接続されていることを特徴とする。

【0006】

【発明の実施の形態】以下、図1乃至図3を参照し本発明の第一の実施形態を説明する。図1は、本発明の第一の実施形態の半導体装置を示す平面図であり、図2は、図1に示された第一の実施形態の半導体装置における矢印Aの方向から見た断面図である。複数のパワー半導体素子12およびこの複数のパワー半導体素子12を制御する1つの制御半導体素子13が、外部リードフレーム10aに第一の半田16を介して実装されている。また、整流のための複数のダイオード14も同様に実装されている。このパワー半導体素子12は、例えばIGBT (Insulated Gate Bipolar Transistor) が用いられ、素子表面側にはゲート電極およびエミッタ電極が設けられ、裏面側にはコレクタ電極が設けられている。外部リードフレーム10は、それぞれ分離された複数のリード10a、10b、10cを有しており、パワー半導体素子12及び制御半導体素子13のそれぞれの電極がこれ

4

ら複数のリードに接続される。そして、半導体素子の裏面電極の取り出しは、内部リードフレーム11a、11bにより第二の半田17を介して接続される。図1に示すように、複数のパワー半導体12のそれぞれの裏面側の電極は、それぞれ内部リードフレーム11aを介して対応する外部リードフレーム10cのリードに接続される。図1中において、太い実線で示した部分が内部リードフレームである。この内部リードフレームは実際には不透明であるが、その下に位置する各素子の配置を解かりやすくするよう、その輪郭のみ実線で示してある。また内部リードフレーム11a、11bは、外部リードフレーム10a~10cと同じ材料（例えばCu）により構成され、半導体素子上に配置した時に各半導体素子の裏面電極と外部リードフレーム10とが接続されるよう、あらかじめ所定の形状に成形されたものである。

【0007】パワー半導体素子12が大電力用の半導体素子である場合、パワー半導体素子12と外部リードフレーム10aとの間の半田接続部近傍には、熱膨張係数が、外部リードフレーム10aよりも小さく、素子を構成するシリコンよりも大きい一次封止樹脂19が充填される。この一次封止樹脂19は、熱伝導率が $2\text{W}/\text{m}\cdot\text{K}$ 以上の材料が適しており、例えばエポキシ樹脂が用いられる。この一次封止樹脂19は、大電力のパワー半導体素子を使用する場合には必要であるが、大電力用でない場合には設ける必要はない。すなわち、この一次封止樹脂19は、素子動作時の発熱等による応力を吸収するために設けられており、そのパワー半導体素子の種類により、必要に応じて設ければ良い。更に、パワー半導体素子12及び制御半導体素子13を含め、これらの素子が実装された外部リードフレーム10、内部リードフレーム11a、11bの一端全体を覆うよう二次封止樹脂20が形成されている。次に、この半導体装置の製造工程を図3を用いて説明する。まず、本発明に用いられるパワー半導体素子12、ダイオード14、制御半導体素子13は、内部素子構造については従来のものと同じであるが、素子片側のそれぞれの電極面上にはあらかじめ半田バンプ15が形成されている点で相違する。この半田バンプ15は、例えばSn-Ag系などの高温半田が用いられ、印刷/リフロー方式などにより形成することができる。

【0008】また、外部リードフレーム10a上の、各半導体素子の半田バンプ15が接続される所定の場所、あらかじめ第一の半田16が形成されている。この第一の半田16は、例えばSn-Pb系などの半田ペーストを印刷することにより形成することができる。そして、図3(a)に示すように、第一の半田16が印刷された外部リードフレーム10上に、半田バンプ15が形成された半導体素子12、13、ダイオード14を各半田が接続されるよう搭載し、半導体素子の裏面電極部にシート状の例えばSn-Pb系などの第二の半田17を載せ、

5

さらにその上に内部リードフレーム11a、11bを載せる。この時、内部リードフレーム11a、11bは、一端が半導体素子12、13、ダイオード14の裏面電極部に、他端が外部リードフレーム10b、10cに接続される。その後、これら半導体装置全体を半田リフロー炉に通すことにより、半田が熔融/凝固し、図3

(b)に示すように一体化される。この時に、第二の半田17は、Sn-Pb系のものを用いているために完全に熔融/凝固し、半導体素子12、13、ダイオード14と内部リードフレーム11とを密着させるが、半田パンプ15は、Sn-Ag系などの高温半田が用いられているためにそのパンプ形状が維持され、外部リードフレーム10aとの絶縁性応力に対する緩衝効果を持つ。すなわち、半田リフロー炉の温度は、第一の半田16と第二の半田17が熔融し、半田パンプ15の形状が維持される程度に設定される。

【0009】続いて、外部リードフレーム10の、パワー半導体素子12およびダイオード14の実装エリア内に予め設けられた貫通穴18より一次封止樹脂19を注入して、半田パンプ15および第一の半田16を覆うように外部リードフレーム10aとパワー半導体素子12間に充填し、樹脂流れを起こさない程度に硬化させる。この一次封止樹脂19は、外部リードフレーム10aよりも熱膨張係数の小さいものを使用され、例えば外部リードフレーム10aがCuである場合、液状エポキシ樹脂を用いることができる。貫通穴18は上述の通り一次封止樹脂19を注入するために設けられたものであるが、素子動作時における発熱によるリードフレームおよび樹脂の膨張に対する緩衝効果も有している。一次封止樹脂19の硬化は、例えばスポット加熱により短時間に行うことができる。最後に、パワー半導体素子12、ダイオード14、制御半導体素子13を含め、これらの素子が実装された外部リードフレーム10a~10cの一端を覆うように二次封止樹脂20にて成形することにより図3(c)に示すような半導体装置を得る。このように第一の実施形態の構成においては、パワー半導体素子12と外部リードフレーム10a、及び制御半導体素子13と外部リードフレーム10aとの接続を、各々の半導体素子の電極面に形成された半田パンプ15と外部リードフレーム10aに形成された半田とにより行っている。これにより、半導体装置製造時に時間のかかっていたワイヤーボンディング工程が不要となり、製造工程の短縮化を図ることができる。また、ワイヤーボンディング時に必要となっていたリードフレームのボンドエリアが不要となり、装置の小型化が可能となる。更に、半導体素子の表面側が外部リードフレームと密着するため、その表面側での放熱特性が向上する。これにより素子裏面側は外部リードフレームと接合しなくなるが、電気的な接続のための配線を兼用した放熱効果を有する内部リードフレームが設けられているため、従来と同様の放熱

6

特性は維持される。すなわち本実施例においては、特別な放熱板を設けること無しに素子両面で放熱効果を得ることができる。

【0010】図4は本発明の第二の実施形態を示す半導体装置の断面図である。そして、二次封止樹脂20内部の基本的な構造は前述の第一の実施形態と同様である。すなわち、パワー半導体素子12、ダイオード14およびパワー半導体素子12を制御する制御半導体素子13は、外部リードフレーム10aに第一の半田16を介して実装されており、半導体素子の裏面電極の取り出し及び半導体素子間は、内部リードフレーム11aにより第二の半田17を介して接続されている。パワー半導体素子12と外部リードフレーム10aとの間の半田接続部近傍には、外部リードフレーム10aよりも熱膨張係数の小さい一次封止樹脂19が充填され、パワー半導体素子12及び制御半導体素子13を含め、これらの素子が実装された外部リードフレーム10a~10cの一端全体を覆うよう二次封止樹脂20が形成されている。この実施形態における半導体装置の特徴は、パワー半導体素子12と外部リードフレーム10a間に充填される一次封止樹脂19には高熱伝導品が用いられ、パワー半導体素子12及びダイオード14が実装された外部リードフレーム10aの裏面に形成される二次封止樹脂20が、薄肉に成形されている点である。この場合の一次封止樹脂19には、フィラーを混合させたエポキシ樹脂が適しており、このフィラーは例えばシリカ、アルミナ、窒化ケイ素を用いることができる。これにより、外部リードフレーム10aの裏面での放熱効果が向上し、放熱特性の優れた両面放熱構造の半導体装置を得ることができる。

【0011】図5は本発明の第三の実施形態を示す半導体装置の断面図である。パワー半導体素子12、ダイオード14、パワー半導体素子12を制御する制御半導体素子13は、外部リードフレーム10aに表面側の電極が対向するよう実装されており、半導体素子の裏面電極の取り出し及び半導体素子間は、内部リードフレーム11aにより半田を介して接続されている。そして、パワー半導体素子12の表面側電極に形成された半田と外部リードフレーム10aに形成された半田とは、応力緩和材21を介して接続される。この応力緩和材21は、例えば、素子を構成するSiに熱膨張係数が近似するMoやWなどの金属板を用いることができる。本実施例においては、パワー半導体素子12の表面側電極上には、外部リードフレーム10aに形成されるものと同様な半田が用いられている。この半田自体では応力緩和の効果は、半田パンプに比べ低下するが応力緩和材21が設けられているため、第一、第二の実施形態同様の応力緩和の効果が維持される。そして、パワー半導体素子12及びダイオード14と、外部リードフレーム10aとの間の半田接続部近傍には、前述の実施例と同様に、外部リードフレーム10よりも熱膨張係数の小さい一次封止樹脂19

7

が充填され、パワー半導体素子12、ダイオード14及び制御半導体素子13を含め、これらの素子が実装された外部リードフレーム10a~10cの一端全体を覆うよう二次封止樹脂20が形成されている。

【0012】

【発明の効果】以上説明したように、本発明によれば、半導体素子の一方の電極と外部リードフレームとの接続を、半導体素子の電極面に形成された半田と外部リードフレームに形成された半田とにより行い、他方の電極を内部リードフレームを用いて接続しているため、ワイヤーボンディング工程が不要となり、製造工程の短縮化を図ることができる。また、ワイヤーボンディング時に必要となっていたリードフレームのボンドエリアが不要となり、装置の小型化が可能となる。

【図面の簡単な説明】

【図1】本発明の第一の実施形態の半導体装置を示す平面図である。

【図2】図1に示された第一の実施形態の半導体装置における矢印A方向から見た断面図である。

【図3】本発明の第一の実施形態の半導体装置の製造工程を示す断面図である。

8

*【図4】本発明の第二の実施形態の半導体装置を示す断面図である。

【図5】本発明の第三の実施形態の半導体装置を示す断面図である。

【図6】従来の半導体装置の断面図である。

【図7】従来の半導体装置に係わる製造工程を示す断面図である。

【符号の説明】

10a, 10b, 10c 外部リードフレーム

11a, 11b 内部リードフレーム

12 パワー半導体素子

13 制御半導体素子

14 ダイオード

15 半田バンプ

16 第一の半田

17 第二の半田

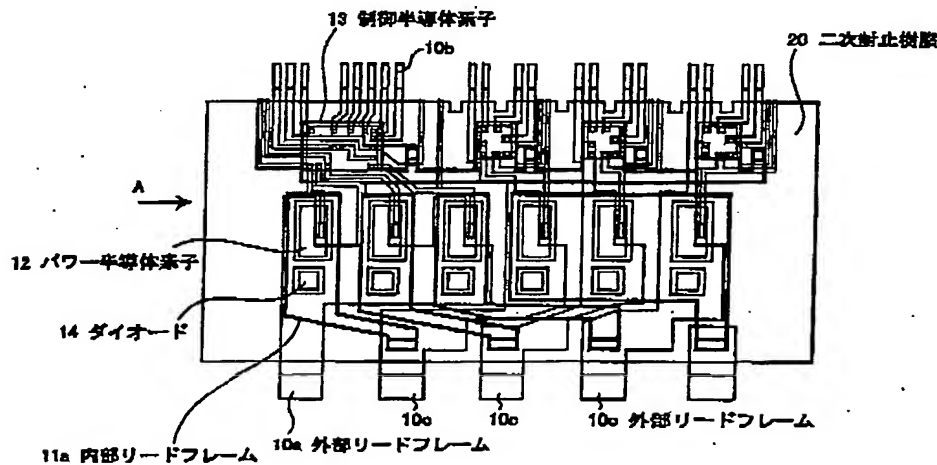
18 貫通穴

19 一次封止樹脂

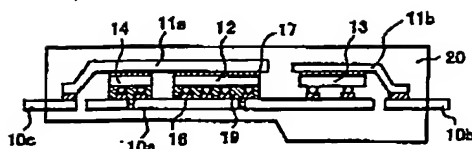
20 二次封止樹脂

21 応力緩和材

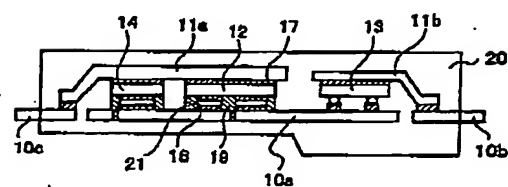
【図1】



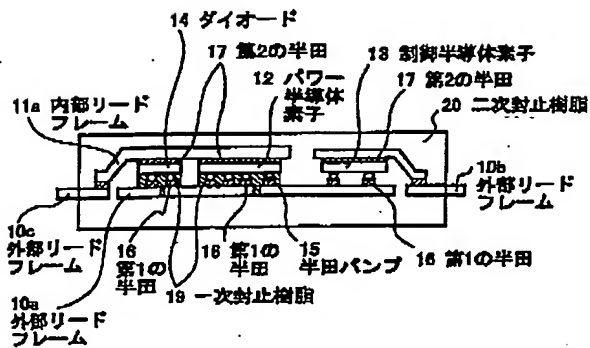
【図4】



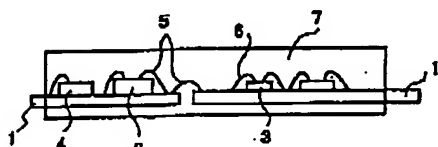
【図5】



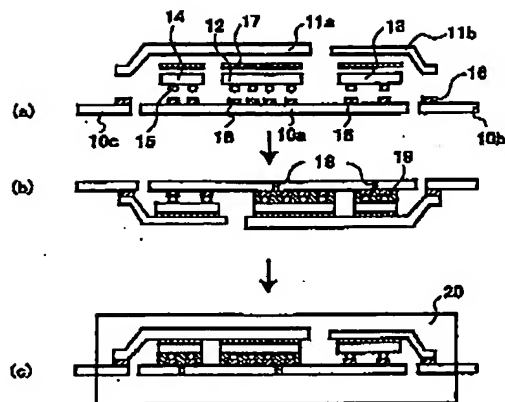
【図2】



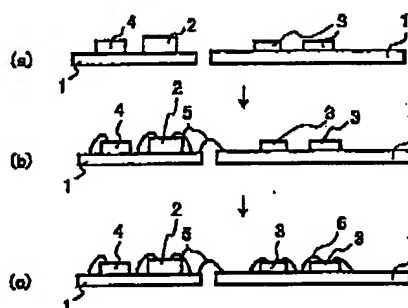
【図6】



【図3】



【図7】



フロントページの続き

(72)発明者 津田 達也
東京都港区新橋3丁目3番9号 東芝エ
ー・ピー・イー株式会社内

Fターム(参考) 4M109 AA01 BA01 CA26 DB15 DB17
EA02 EB12 EB13 EC06 GA05